

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1017 U.S. PTO
10/042240
01/11/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月26日

出 願 番 号

Application Number:

特願2001-130148

出 願 人

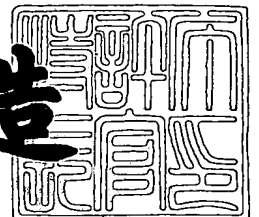
Applicant(s):

富士通株式会社

2001年10月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3094875

【書類名】 特許願

【整理番号】 0140368

【提出日】 平成13年 4月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335
H01L 27/146

【発明の名称】 X Y アドレス型固体撮像装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 鶴戸 真也

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 國分 政利

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 土屋 主税

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山本 克義

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905855

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 X Y アドレス型固体撮像装置

【特許請求の範囲】

【請求項 1】

入射光を光電変換する光電変換素子と、前記光電変換素子をリセットするリセットトランジスタと、前記光電変換素子に蓄積された電荷を電圧に変換する増幅用トランジスタと、水平選択線に出力された水平選択信号に基づいて前記電圧を画像データとして垂直選択線に出力する水平選択トランジスタとを備えた画素領域と、

前記リセット時に発生する $k T C$ 雑音を低減させる $k T C$ 雑音低減回路とを有することを特徴とする X Y アドレス型固体撮像装置。

【請求項 2】

請求項 1 記載の X Y アドレス型固体撮像装置において、

前記 $k T C$ 雑音低減回路は、 $k T C$ 雑音低減動作時に、前記画素領域内の素子を回路構成の一部として用いること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 3】

請求項 2 記載の X Y アドレス型固体撮像装置において、

前記 $k T C$ 雑音低減回路は、前記動作時に前記画素領域内の素子と電気的に接続し、非動作時に前記画素領域内の素子と電気的に分離する回路切替用トランジスタを有していること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において

前記画素領域外で前記垂直選択線に沿って形成され、前記リセットトランジスタにリセット電圧を供給するリセット電圧供給線を有していること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 5】

請求項 3 又は 4 に記載の X Y アドレス型固体撮像装置において、

前記 k T C 雑音低減回路は、前記動作時に差動増幅器を構成する第 1 差動トランジスタを有し、

前記画素領域内の前記増幅用トランジスタは、前記 k T C 雑音低減回路の動作時に、前記第 1 差動トランジスタと対をなす第 2 差動トランジスタとして用いられること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 6】

請求項 5 記載の X Y アドレス型固体撮像装置において、

前記回路切替用トランジスタは、前記第 1 差動トランジスタと前記垂直選択線との間に設けられていること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 7】

請求項 5 又は 6 に記載の X Y アドレス型固体撮像装置において、

前記 k T C 雑音低減回路は、前記差動増幅器内にカレントミラー回路を備えていること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 8】

請求項 7 記載の X Y アドレス型固体撮像装置において、

前記カレントミラー回路は、前記リセット電圧供給線に接続されていることを特徴とする X Y アドレス型固体撮像装置。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において

前記画像データに重畳する固定パターン雑音を除去するノイズキャンセル回路をさらに有し、

前記 k T C 雑音低減回路のうち、前記画素領域内の素子を除く回路は、前記ノイズキャンセル回路内に配置されていること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 1 0】

請求項 9 記載の X Y アドレス型固体撮像装置において、

前記ノイズキャンセル回路は、雑音除去後の前記画像データに対応する電荷を保持する相関二重サンプリング回路を前記垂直選択線毎に有していることを特徴とする X Y アドレス型固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体素子で構成された固体撮像装置に関し、特に、CMOS プロセスで製造される X Y アドレス型固体撮像装置に関する。

【0 0 0 2】

【従来の技術】

近年、固体撮像装置は、デジタルスチルカメラやデジタルビデオカメラ、あるいは携帯電話機等の種々の製品に内蔵されて大量に使われるようになってきている。固体撮像装置は大別して、電荷転送型イメージセンサで構成された CCD (Charge Coupled Device) 固体撮像装置と、例えば CMOS (相補型金属酸化物半導体) トランジスタでイメージセンサを構成した X Y アドレス型固体撮像装置とがある。CMOS イメージセンサを用いた X Y アドレス型固体撮像装置 (以下、適宜、CMOS イメージセンサと略称する) は MOS FET の製造プロセスと同一の技術で製造することができ、また単一電源で駆動して消費電力も小さく、さらに各種信号処理回路を同一チップ上に搭載できることから、CCD 固体撮像装置に代わるものとして有望視されている。

【0 0 0 3】

この CMOS イメージセンサを用いた従来の X Y アドレス型固体撮像装置を図 6 を用いて説明する。図 6 は、従来の X Y アドレス型イメージセンサの 1 画素分の回路例を示している。図 6 に示す従来の CMOS イメージセンサは、各画素に例えばソースフォロワアンプ 4 0 4 を搭載した APS (Active Pixel Sensor) 構成を有している。フォトダイオード 4 0 0 のカソード側は、ソースフォロワアンプ 4 0 4 のゲート電極と MOS 型のリセットトランジスタ

402に接続されている。また、ソースフォロワンプ404は水平選択トランジスタ406を介して垂直選択線408に接続されている。

【0004】

この従来のCMOSイメージセンサの動作を簡単に説明する。まず、所定のタイミングでリセット信号RSTがリセットトランジスタ402のゲート電極に印加されてリセットトランジスタ402がオンになる。これにより、フォトダイオード400がリセット電位VRに充電される。次いで光の入射と共にフォトダイオード400の放電が開始してリセット電位VRより電位が低下する。積分期間中に入射した光子は光電変換され、電子-正孔対を発生させる。電子はフローティング状態となっているフォトダイオードに蓄積され、正孔はグランドにバイアスされている半導体基板に吸収される。信号電子によるフォトダイオード400の電位変化 ΔV_{PD} は信号電荷を Q_{sig} として $\Delta V_{PD} = Q_{sig} / C_s$ で与えられる。所定時間の経過後に水平選択信号RWnが水平選択トランジスタ406のゲート電極に入力して水平選択トランジスタ406がオンになると、ソースフォロワンプ404の電圧が信号電圧として垂直選択線408を介して取り出される。

【0005】

ところが、電荷蓄積容量のフォトダイオード400とソースフォロワンプ404を搭載した上記従来のAPS構成では、しきい値電圧VTのバラツキ等により信号電圧のDCレベルが変動する固定パターン雑音(Fixed Pattern Noise; FPN)が発生して画質が劣化するという問題がある。これを低減させるために相関二重サンプリング回路(Correlated Double Sampling; CDS)を用いられている。まず、相関二重サンプリング回路で信号電圧をサンプリングしてからフォトダイオード400をリセット電位VRにリセットする。次いで、相関二重サンプリング回路でリセット電圧をサンプリングして、信号電圧とリセット電圧との差を求める。これにより、しきい値電圧VTのばらつきの影響を相殺してFPNを低減することができる。

【0006】

ところがこの方法は、信号蓄積(積分)前のリセット電圧ではなく、信号蓄積

後のリセット電圧をサンプリングして信号電圧との差を求めているので、信号電圧に重畳している kTC 雑音（熱雑音）と、サンプリングしたリセット電圧に重畳している kTC 雑音との間に全く相関がない。このため、リセット期間中にフォトダイオード400からランダムに発生する kTC 雑音をCDS回路で除去できず、 S/N 比がCCD固体撮像装置に比べて劣化してしまうという課題が残っている。

【0007】

kTC 雑音は、リセットトランジスタ402をオン状態にしてフォトダイオード400を初期電位にリセットする際に発生し、 $v_{kTC} = (kT/C)^{1/2}$ で表されるランダム雑音である。ここで、 k はボルツマン定数、 T は絶対温度、 C_s はフォトダイオード400に蓄積された全容量である。

【0008】

次に、 kTC 雑音を低減できるCMOSイメージセンサについて図7を用いて説明する。図7において、フォトダイオード400の第1の静電容量 C_1 とフローティングディフュージョン（FD）領域の第2の静電容量 C_2 との間にエネルギー障壁を形成する転送用ゲートFTが設けられ、転送用ゲートFTとMOSFETで構成された水平選択トランジスタ406との間にソースフォロワアンプ404が接続されている。第2の静電容量 C_2 には、第2の静電容量 C_2 に蓄積された電荷を除去するためのMOS型で構成されたりセットトランジスタ402が接続されている。ソースフォロワアンプ404のドレイン電極は電源VDDに接続され、ソース電極は水平選択トランジスタ406に接続されている。また、ソースフォロワアンプ404のゲート電極は第2の静電容量 C_2 に接続されている。リセットトランジスタ402のドレイン電極にはリセット電位VRが印加される。リセットトランジスタ402のソース電極は第2の静電容量 C_2 に接続され、ゲート電極にはリセット信号RSTが入力するようになっている。

【0009】

第1の静電容量 C_1 に電荷が蓄積された後に転送用ゲートFTを導通してFD領域の第2の静電容量 C_2 に電荷を転送すると、ソースフォロワアンプ404のゲートの電位は次第に高くなる。所定時間の経過後に水平選択トランジスタ40

6 がオンになるとソースフォロワアンプ404のソース電圧が垂直選択線408を介して出力され、第2の静電容量C2に蓄積された電荷量Qを検出できる。転送用ゲートFTを導通する前に一度だけリセットトランジスタ402を導通することで、第2の静電容量C2に蓄積されている電荷を全て除去でき、残像電荷による画質の劣化を抑制できる。

【0010】

この構成によれば、信号蓄積前のリセット電圧をサンプリングしてから当該リセット後の信号電圧をサンプリングできるので、リセット電圧及び信号電圧にそれぞれ重畳するkTC雑音同士は高い相関を有している。このため、リセット電圧をサンプリングしてから信号電圧をサンプリングして相関二重サンプリング回路を用いてリセット電圧と信号電圧との差分を求めることにより、信号電圧のkTC雑音を低減することができる。

【0011】

ところが、図7に示した従来のCMOSイメージセンサの構成は、上述のようにFPN及びkTC雑音を低減させることができるものの、素子構成が複雑になってしまうという問題を有している。図7に示した画素の素子構成は、図6に示した画素の素子構成と比べて、トランジスタの数が増えており、画素部が複雑化して受光部の開口率（フィルファクタ）が低下してしまうという問題を有している。

【0012】

次に、kTC雑音を低減できるCMOSイメージセンサの別の例について図8を用いて説明する。図8に示すCMOSイメージセンサは、図6に示した素子構成に加えて、リセットトランジスタ402のゲート電極に印加するリセット電圧を制御してkTC雑音を低減する制御回路を有している。

【0013】

制御回路のオペアンプ412の非反転入力端子には基準リセット信号VRが入力するようになっている。オペアンプ412の反転入力端子には、配線416を介して、フォトダイオード400のカソード端子とリセットトランジスタ402との接続点の信号が入力されるようになっている。配線416は画素領域内に配

置されている。また、オペアンプ 4 1 2 の反転入力端子には定電流源 4 1 4 が接続されている。オペアンプ 4 1 2 の出力端子はスイッチ回路 4 1 0 を介してリセットトランジスタ 4 0 2 のゲート電極に接続されている。

【0 0 1 4】

このような構成の制御回路により、所定のリセットタイミングでスイッチ回路 4 1 0 のゲート電極に信号 V_g が入力してスイッチ回路 4 1 0 がオンになると、フォトダイオード 4 0 0 のカソード側の電位が常にリセット電圧 V_R になるように、リセットトランジスタ 4 0 2 のゲート電圧が制御される。このようにすれば、信号電圧及びそれに続く信号蓄積後のリセット電圧にそれぞれ重畳する kTC 雑音をほぼ一定レベルにさせることができる。このため、信号蓄積後のリセット電圧をサンプリングして信号電圧との差を CDS 回路で求めることにより、 kTC 雑音を低減できるようになる。しかしながらこの構成では配線 4 1 6 を画素領域内に配置する必要が生じるため、開口率が稼げないという問題が生じる。

【0 0 1 5】

【発明が解決しようとする課題】

以上説明したように、図 6 に示す $CMOS$ イメージセンサでは、 kTC 雑音を低減できないという問題を有している。一方、図 7 及び図 8 に示す $CMOS$ イメージセンサでは、 kTC 雑音の低減と引き替えに素子サイズが大きくなってしまい、広い開口率が得られないという問題を有している。

【0 0 1 6】

本発明の目的は、小さな素子サイズで広い開口率を有し、 kTC 雑音を低減できる XY アドレス型固体撮像装置を提供することにある。

【0 0 1 7】

【課題を解決するための手段】

上記目的は、入射光を光電変換する光電変換素子と、前記光電変換素子をリセットするリセットトランジスタと、前記光電変換素子に蓄積された電荷を電圧に変換する増幅用トランジスタと、水平選択線に出力された水平選択信号に基づいて前記電圧を画像データとして垂直選択線に出力する水平選択トランジスタとを備えた画素領域と、前記リセット時に発生する kTC 雑音を低減させる kTC 雑

音低減回路とを有することを特徴とするXYアドレス型固体撮像装置によって達成される。

【0018】

【発明の実施の形態】

本発明の一実施の形態によるXYアドレス型固体撮像装置について図1乃至図5を用いて説明する。まず、本実施の形態によるXYアドレス型固体撮像装置としてのCMOSイメージセンサの概略構成を図1を用いて説明する。図1は、 m 行 n 列の画素配列を有するCMOSイメージセンサ1の 4×4 画素分の回路例を示している。複数の画素領域 $P11 \sim P44$ がマトリクス状に配列され、複数の垂直選択線 $CL1 \sim CL4$ と水平選択線 $RW1 \sim RW4$ とが縦横に配置されている。各画素領域 $P11 \sim P44$ には光電変換素子としてフォトダイオード10が形成されている。光電変換素子はフォトダイオード10に代えて例えばフォトゲートを用いてもよい。

【0019】

CMOSイメージセンサ1は、各画素領域 $P11 \sim P44$ に例えばMOSFET（本実施形態では n -ch（ n チャネル）MOSFETを例示している）で構成されるソースフォロワンプ14や水平選択トランジスタ16等が配置されたAPS構成を有している。

以下、行番号を m とし、列番号を n として画素領域 Pmn の回路構成について説明する。画素領域 Pmn 内のフォトダイオード10のカソード側は、例えば n -chMOSFETのリセットトランジスタ12のソース電極及びソースフォロワンプ14のゲート電極に接続されている。

【0020】

各リセットトランジスタ12のドレイン電極とソースフォロワンプ14のドレイン電極は、リセット電圧 VR が印加されるリセット電圧供給線 VRn に接続されている。各リセットトランジスタ12のゲート電極はリセット信号線 $RSTm$ に接続されている。ソースフォロワンプ14のソース電極は例えば n -chMOSFETの水平選択トランジスタ16のドレイン電極に接続されている。各水平選択トランジスタ16のゲート電極は水平選択信号 RW が供給される水平選

択線 RW_m に接続されている。各水平選択トランジスタ 16 のソース電極は垂直選択線 CL_n に接続されている。

【0021】

水平選択線 RW_m は、垂直走査シフトレジスタ／リセット制御回路 4 に接続されている。垂直走査シフトレジスタ／リセット制御回路 4 内に設けられた不図示のシフトレジスタにより、所定のタイミングで水平選択線 RW_m に順次水平選択信号 RW が出力されるようになっている。リセット信号線 RST_m も垂直走査シフトレジスタ／リセット制御回路 4 に接続され、所定のタイミングで水平選択線 RW_m 毎に画素領域 P_{mn} のリセットトランジスタ 12 にリセット信号 RST を印加するようになっている。

【0022】

リセット電圧供給線 VR_n は垂直選択線 CL_n にほぼ平行に配線され、垂直選択線 CL_n と共にそれぞれアンプ／ノイズキャンセル回路 6 に接続されている。

垂直選択線 CL_n は、アンプ／ノイズキャンセル回路 6 内に設けられた CDS 回路 6 CL_n と、例えば $n-chMOSFET$ で構成される列選択トランジスタ 20 とを介して信号共通出力線 30 に接続されている。アンプ／ノイズキャンセル回路 6 内の CDS 回路 6 CL_n の構成については図 2 を用いて後程説明する。

リセット電圧供給線 VR_n は、アンプ／ノイズキャンセル回路 6 内に回路主要部が設けられた kTC 雑音低減回路 6 VR_n に接続されている。 kTC 雑音低減回路 6 VR_n の構成については図 3 を用いて後程説明する。

【0023】

複数の列選択トランジスタ 20 のゲート電極には、水平走査シフトレジスタ 8 から列選択信号が所定タイミングで順次入力され、アンプ／ノイズキャンセル回路 6 により固定パターン雑音及び kTC 雑音の除去された画像データが順次信号共通出力線 30 に出力され、アンプ 32 を介して外部システムに送出されるようになっている。

【0024】

次に、CMOS イメージセンサ 1 の動作について簡単に説明する。まず、リセット信号 RST によりリセットトランジスタ 12 が所定のタイミングでオンにな

ると、フォトダイオード10がリセット電位VRに充電される。次いで光の入射に伴いフォトダイオード10の放電が始まり、リセット電位VRより電位が低下する。所定時間の経過後に水平選択信号RWが水平選択線RWmに出力されると当該水平選択線RWmに接続された水平選択トランジスタ16のゲート電極に水平選択信号RWが入力して水平選択トランジスタ16がオンになる。これによりソースフォロワアンプ14からの出力電圧が画素領域Pmnの画像データとして垂直選択線CLnに出力される。

【0025】

次に、アンプ／ノイズキャンセル回路6の構成について説明する。アンプ／ノイズキャンセル回路6は、図2に示すように、垂直選択線CL1に接続されたサンプルホールド回路及び相関二重サンプリング回路を有している。図2において、図中左側の破線で示したブロックは、垂直選択線CL1に接続された複数の画素のうち例示として図1左上の画素領域P11を示している。図中右側の破線で示したブロックは、サンプルホールド回路及び相関二重サンプリング回路を示している。

【0026】

サンプルホールド回路には垂直選択線CL1に出力された信号の入力を制御するサンプルホールド用スイッチ42が設けられている。サンプルホールド用スイッチ42の入力側と垂直選択線CL1との接続点には定電流源40が接続されている。サンプルホールド用スイッチ42の出力側には、垂直選択線CL1に出力された信号を保持するサンプルホールド用容量44の一電極側（これ以降、容量を構成する2つの電極及び、ゲート電極を除くトランジスタの2つの電極については、必要に応じて、一方を一電極、他方を他電極という）が接続されている。サンプルホールド用容量44の他電極側には基準電圧源46が接続されている。

【0027】

サンプルホールド用スイッチ42とサンプルホールド用容量44の一電極側との接続点には相関二重サンプリング回路を構成するアンプ48の入力端子が接続されている。アンプ48の出力端子は相関二重サンプリング回路のCDS用容量50の一電極側に接続され、CDS用容量50の他電極側はアンプ54の入力端

子に接続されている。

【 0 0 2 8 】

また、CDS用容量50の他電極側は、クランプスイッチ52を介してサンプルホールド用容量44の他電極側に接続されている。クランプスイッチ52の開閉によりCDS用容量50の他電極側を基準電圧源46の基準電圧から切り離し、あるいは基準電圧に固定することができるようになっている。アンプ54の出力端子は列選択トランジスタ20を介して信号共通出力線30に接続されている。

【 0 0 2 9 】

次に、サンプルホールド回路及び相関二重サンプリング回路の動作について図2を用いて説明する。まず、画素領域P11から出力される信号の流れについて簡単に説明する。水平選択トランジスタ16のゲート電極に水平選択信号RW1が入力すると、画素領域P11のフォトダイオード10により蓄積された電荷量に応じたソースフォロワアンプ14の電圧変動が画像データを含む信号電圧VSとして垂直選択線CL1に出力される。次いで、水平選択トランジスタ16がオン状態を維持したままリセットトランジスタ12のゲート電極にリセット信号RSTを入力してリセットトランジスタ12をオン状態にさせ、フォトダイオード10をリセット電位VRにリセットすると共にリセット電圧VRを垂直選択線CL1に出力する。以上の動作は、水平ブランキング期間に行われる。

【 0 0 3 0 】

上記の信号の流れにおいて、例えば、水平選択信号RW1が入力されて水平選択トランジスタ16がオン状態になるのに同期して、サンプルホールド用スイッチ42及びクランプスイッチ52がオン状態になる。これにより、サンプルホールド回路の入力端子に信号電圧VSが印加される。クランプスイッチ52がオン状態なので信号電圧VSはサンプルホールド回路のサンプルホールド用容量44を充電すると共にCDS用容量50も充電する。

【 0 0 3 1 】

次いで、クランプスイッチ52をオフにしてから、リセット信号RSTを入力してリセットトランジスタ12をオン状態にする。これにより、フォトダイオ-

ド10はリセット電位VRにリセットされ、垂直選択線CL1にはリセット電圧VRが出力される。リセット電圧VRはサンプルホールド回路の入力端子に入力されてサンプルホールド用容量44に保持される。

【0032】

この結果、CDS用容量50の出力側には信号電圧VSとリセット電圧VRの差に相当する差信号($VS - VR$)が生じる。この信号はCDS用容量50により保持される。こうすることにより、信号電圧VS及びリセット電圧VRの双方に重畳している固定パターン雑音成分を除去したアナログ画像データを得ることができる。このアナログ画像データは、アンプ54の出力端子から列選択トランジスタ20を介して信号共通出力線30に出力される。

【0033】

アンプ／ノイズキャンセル回路6内には上記サンプルホールド回路及び相関二重サンプリング回路（以下、両回路を合わせてCDS回路という）6CLnが垂直選択線CLnにそれぞれ設けられている。

【0034】

さらに本実施の形態によるアンプ／ノイズキャンセル回路6には、CDS回路6CLn毎に設けられ、CDS回路6CLnと協働してkTC雑音を低減させるkTC雑音低減回路が設けられている。

【0035】

以下、図3を用いて本実施の形態によるkTC雑音低減回路6VRnについて説明する。kTC雑音低減回路6VRnは、回路構成の大部分がアンプ／ノイズキャンセル回路6内に形成されると共に、回路構成の一部が画素領域Pmn内の素子を兼用している点に特徴を有している。図3において、図中左側の破線で示したブロックは、垂直選択線CL1に接続された画素領域P11を例示している。図中右側の破線で示したブロックは、アンプ／ノイズキャンセル回路6内のCDS回路6CL1及びkTC雑音低減回路6VR1の主要部を示している。なお、図3での相関二重サンプリング回路は詳細な記載を省略して1つの回路ブロックとして示している。

【0036】

図3において、アンプ／ノイズキャンセル回路6内に、画素領域P11内に形成された水平選択トランジスタ16とほぼ同一特性を有する回路切替用トランジスタ72が設けられ、そのソース電極は垂直選択線CL1に接続されている。回路切替用トランジスタ72のゲート電極には、回路切替信号SWXが入力するようになっている。回路切替信号SWXは、リセット信号RSTに同期して出力されるようになっている。

【0037】

回路切替用トランジスタ72のドレイン電極は、ソースフォロワアンプ14とほぼ同一特性を有する第1差動トランジスタ62のソース電極に接続されている。第1差動トランジスタ62のドレイン電極は、例えばMOS型のトランジスタ64の一電極側に接続され、トランジスタ64の他電極側には電圧VDDが印加されるようになっている。第1差動トランジスタ62のゲート電極には、リセット電圧VRが入力されるようになっている。

【0038】

一方、画素領域P11内のリセットトランジスタ12及びソースフォロワアンプ14のドレイン電極は、リセット電圧VRが印加されるリセット電圧供給線VR1を介して例えばMOS型のトランジスタ66の一電極側に接続されている。トランジスタ66の他電極側には電圧VDDが印加されるようになっている。リセット電圧供給線VR1は、複数の画素領域P11、P21、P31、・・・の外で垂直選択線CL1に沿って形成され、画素領域P11、P21、P31、・・・毎に形成された複数のリセットトランジスタ12にリセット電圧VRを供給するようになっている。

【0039】

トランジスタ66のゲート電極とトランジスタ64のゲート電極とは共通接続されている。また、第1差動トランジスタ72とトランジスタ64との接続点に一電極側が接続され、他電極側がトランジスタ64及びトランジスタ66のゲート電極に接続された回路切替用トランジスタ68が形成されている。回路切替用トランジスタ68のゲート電極には、回路切替信号SWXが入力するようになっている。また、トランジスタ64及びトランジスタ66のゲート電極に一電極側

が接続され、他電極側が接地された回路切替用トランジスタ 7 0 が形成されている。回路切替用トランジスタ 7 0 のゲート電極には、回路切替信号 SWX と逆極性の回路切替信号 / SWX が入力するようになっている。

【 0 0 4 0 】

ここで、画素領域 P 1 1 の水平選択トランジスタ 1 6 及びアンプ / ノイズキャンセル回路 6 内の回路切替用トランジスタ 6 8、7 2 をオンにし、回路切替用トランジスタ 7 0 をオフにして、画素領域 P 1 1 のソースフォロワアンプ 1 4 を第 1 差動トランジスタ 6 2 との差動対をなす第 2 差動トランジスタと見ることにより、図 3 の上記構成は、付加抵抗の代わりにカレントミラー回路を備えた差動増幅器となる。カレントミラー回路は、一電極側とゲート電極が直結されたトランジスタ 6 4 と、トランジスタ 6 4 の他電極側と共に電圧 VDD が印加される他電極側を備えトランジスタ 6 4 のゲート電極と共通接続されたゲート電極を有するトランジスタ 6 6 とで構成される。

【 0 0 4 1 】

以上、図 3 を用いて説明した回路が本実施の形態による kTC 雑音低減回路 6 VR 1 の回路構成であり、図示は省略したが他の kTC 雑音低減回路 6 VR n も同様の構成を有している。このように、kTC 雑音低減回路 6 VR n は回路構成の大部分がアンプ / ノイズキャンセル回路 6 内に形成されると共に、回路構成の一部を画素領域 P m n 内の素子で兼用している。

【 0 0 4 2 】

次に、図 3 に示す kTC 雑音低減回路 6 VR 1 を例にとって、kTC 雑音を低減させる動作に動作について説明する。まず、リセット期間の終了直前までは、水平選択トランジスタ 1 6 及び回路切替用トランジスタ 6 8、7 2 はオン状態になっており、回路切替用トランジスタ 7 0 はオフ状態になっている。従って、kTC 雑音低減回路 6 VR 1 の主要部が画像領域 P 1 1 内の素子と電氣的に接続され、kTC 雑音低減回路 6 VR 1 は差動増幅器として機能して kTC 雑音低減動作をしている状態になっている。

【 0 0 4 3 】

リセット信号 RST が非活性レベルになると、水平選択トランジスタ 1 6 及び

回路切替用トランジスタ68、72はオフ状態になり回路切替用トランジスタ70はオン状態になる。これにより、kTC雑音低減回路6VR1の主要部が画像領域P11内の素子と電氣的に分離され、kTC雑音低減回路6VR1は差動増幅器として機能しなくなりkTC雑音低減動作をしない状態となる。一方、画素領域P11内の各素子は本来の信号蓄積動作を行う。

【0044】

次いで、所定時間の経過後に水平選択信号RW1が入力されて水平選択トランジスタ16がオン状態になるのに同期して、CDS回路6CL1のサンプルホールド用スイッチ42及びクランプスイッチ52が閉じて、垂直選択線CL1に出力された画素領域P11のソースフォロワンプ14からの信号電圧VSがサンプルホールド用容量44及びCDS用容量50に充電される。

【0045】

次いで、クランプスイッチ52をオフにすると共に回路切替用トランジスタ70をオフ状態にして、回路切替用トランジスタ68、72をオン状態にする。これにより、kTC雑音低減回路6VR1は再び差動増幅器として機能してkTC雑音低減の動作状態となる。この状態で、画素領域P11のリセットトランジスタ12のゲート電極にリセット信号RSTが印加されるのに同期して第1差動トランジスタ62のゲート電極にリセット電圧VRを供給する。

【0046】

これにより、リセットトランジスタ12がオン状態の間、フォトダイオード10のカソード側の電位が常にリセット電圧VRになるように、kTC雑音低減回路6VR1のカレントミラー回路の出力側トランジスタ66の出力電圧(=リセット電圧VR)が制御される。このように、kTC雑音低減回路6VR1はリセット動作時に増幅率が1のオペアンプとして機能する。

【0047】

このようにすれば、フォトダイオード10をリセットする毎に生じるkTC雑音をほぼ一定にして、信号蓄積前のkTC雑音を含む信号電圧VSと信号蓄積後のリセット電圧VRに重畳するkTC雑音同士に相関関係を生じさせることができる。kTC雑音低減回路6VR1を用いてフォトダイオード10をリセット電

位VRにリセットすると、垂直選択線CL1にはリセット電圧VRが出力される。リセット電圧VRはサンプルホールド回路の入力端子に入力されてサンプルホールド用容量44に保持される。

【0048】

この結果、CDS回路6CL1のCDS用容量50の出力側には信号電圧VSとリセット電圧VRの差に相当する差信号($V_S - V_R$)が生じる。この信号はCDS用容量50により保持される。こうすることにより、信号電圧VS及びリセット電圧VRの双方に重畳している固定パターン雑音成分だけでなくkTC雑音も除去したアナログ画像データを得ることができる。このアナログ画像データは、アンプ54の出力端子から列選択トランジスタ20を介して信号共通出力線30に出力される。

【0049】

本実施の形態のkTC雑音低減回路6VRnによれば、回路主要部が画素領域外に配置され、また、kTC雑音低減動作時に、画素領域内の素子を回路構成の一部として用いて回路を構成するようになっているので、画素の開口率を低下させずにkTC雑音を低減することができる。

【0050】

なお、差動対をなす第1差動トランジスタ62とソースフォロワアンプ14の大きさ等を揃えてほぼ同特性にしても、両者間の配線距離に応じて変化するオフセット電圧が生じてしまう場合がある。しかもソースフォロワアンプ14のトランジスタが小さいためオフセット電圧は数十mVになる。これではフォトダイオード10のカソード側に印加されるリセット電圧VRが複数の画素領域毎にばらついてしまうので好ましくない。ある程度小さいオフセット電圧であれば、後段に配置されたCDS回路6CLnで除去することが可能だが、確実に除去するには図4の破線で囲んだオフセット補正回路を挿入することが望ましい。

【0051】

図4は、オフセット補正回路80の概略を示している。オフセット補正回路80の主要部はアンプ／ノイズキャンセル回路6内に設けられている。オフセット補正回路80は、第1差動トランジスタ62のゲート電極に印加するリセット電

圧VRの入力段に挿入されたオフセット補正用トランジスタ82を有している。オフセット補正用トランジスタ82の一電極側は第1差動トランジスタ62のゲート電極に接続されている。またオフセット補正回路80は、kTC雑音低減回路6VR1が差動増幅器として機能した際に、制御されたリセット電圧VRが出力されるリセット電圧供給線VR1に一電極側が接続されたオフセット補正用トランジスタ86を有している。オフセット補正用トランジスタ86の他電極側には、オフセット補正用トランジスタ84及びオフセット補正用容量88の一電極側が接続されている。オフセット補正用トランジスタ84の他電極側はオフセット補正用トランジスタ82の他電極側に接続され、オフセット補正用容量82の他電極側はオフセット補正用トランジスタ82の一電極側（つまり、第1差動トランジスタ62のゲート電極）に接続されている。

【0052】

以上の構成のオフセット補正回路80によるオフセット電圧除去動作について説明する。まず、リセット信号RSTがリセットトランジスタ12のゲート電極に印加されるのに同期して、回路切替用トランジスタ68、70、72が動作して、kTC雑音低減回路6VR1が差動増幅器として機能するようになる。このリセット期間の初期において、オフセット補正用トランジスタ82、86はオン状態になり、オフセット補正用トランジスタ84はオフ状態になっている。このため、第1差動トランジスタのゲート電極にはリセット電圧VRが印加され、差動増幅器を介してリセット電圧供給線VR1にはオフセット電圧VOを含む電圧値VR+VOが出力される。従って、オフセット補正用容量82にはオフセット電圧VOが保持される。

【0053】

次いで、オフセット補正用トランジスタ82、86がオフになりオフセット補正用トランジスタ84がオンになると、第1差動トランジスタのゲート電極には電圧値VR-VOがリセット電圧として印加される。これにより、差動増幅器を介してリセット電圧供給線VR1に所望のリセット電圧VRが出力されるようになる。本動作はリセット期間の初期の段階で行われる。こうすることにより、各画素領域Pmn毎にばらつきのないリセット電圧VRを供給することができるよ

うになる。

【0054】

図5は、本実施の形態のXYアドレス型固体撮像装置によるkTC雑音低減効果を比較例と共に示したシミュレーション図である。図において横軸は時間を表し、縦軸は電圧値を表している。図中破線 α が本実施の形態のXYアドレス型固体撮像装置による効果を示す曲線であり、実線 β は従来のXYアドレス型固体撮像装置を示す曲線である。図5は、時刻120nsecにリセット信号RSTがリセットトランジスタに入力して、フォトダイオードのカソード側の電位が約1.9Vになってから約20.0nsec後に10mVのDC成分のkTC雑音が重畳した場合におけるCDS回路からの出力電圧値を示している。図示のように、従来のXYアドレス型固体撮像装置では、CDS回路でkTC雑音を低減することができず、重畳したkTC雑音レベルとほぼ同一レベルの約10mVの雑音成分が現われている。それに対して、本実施の形態によるXYアドレス型固体撮像装置では、CDS回路からの出力電圧値の変動はわずかに0.25mV程度でありきわめて優れたkTC雑音低減効果を得ることができている。

【0055】

以上説明した実施の形態によるXYアドレス型固体撮像装置は、以下のようにまとめられる。

(付記1)

入射光を光電変換する光電変換素子と、前記光電変換素子をリセットするリセットトランジスタと、前記光電変換素子に蓄積された電荷を電圧に変換する増幅用トランジスタと、水平選択線に出力された水平選択信号に基づいて前記電圧を画像データとして垂直選択線に出力する水平選択トランジスタとを備えた画素領域と、

前記リセット時に発生するkTC雑音を低減させるkTC雑音低減回路とを有することを特徴とするXYアドレス型固体撮像装置。

【0056】

(付記2)

付記1記載のXYアドレス型固体撮像装置において、

前記 k T C 雑音低減回路は、k T C 雑音低減動作時に、前記画素領域内の素子を回路構成の一部として用いること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 5 7 】

(付記 3)

付記 2 記載の X Y アドレス型固体撮像装置において、

前記 k T C 雑音低減回路は、前記動作時に前記画素領域内の素子と電氣的に接続し、非動作時に前記画素領域内の素子と電氣的に分離する回路切替用トランジスタを有していること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 5 8 】

(付記 4)

付記 1 乃至 3 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において、

前記画素領域外で前記垂直選択線に沿って形成され、前記リセットトランジスタにリセット電圧を供給するリセット電圧供給線を有していること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 5 9 】

(付記 5)

付記 3 又は 4 に記載の X Y アドレス型固体撮像装置において、

前記 k T C 雑音低減回路は、前記動作時に差動増幅器を構成する第 1 差動トランジスタを有し、

前記画素領域内の前記増幅用トランジスタは、前記 k T C 雑音低減回路の動作時に、前記第 1 差動トランジスタと対をなす第 2 差動トランジスタとして用いられること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 6 0 】

(付記 6)

付記 5 記載の X Y アドレス型固体撮像装置において、

前記回路切替用トランジスタは、前記第 1 差動トランジスタと前記垂直選択線

との間に設けられていること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 6 1 】

(付記 7)

付記 5 又は 6 に記載の X Y アドレス型固体撮像装置において、

前記 k T C 雑音低減回路は、前記差動増幅器内にカレントミラー回路を備えていること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 6 2 】

(付記 8)

付記 7 記載の X Y アドレス型固体撮像装置において、

前記カレントミラー回路は、前記リセット電圧供給線に接続されていること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 6 3 】

(付記 9)

付記 1 乃至 8 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において、

前記画像データに重畳する固定パターン雑音を除去するノイズキャンセル回路をさらに有し、

前記 k T C 雑音低減回路のうち、前記画素領域内の素子を除く回路は、前記ノイズキャンセル回路内に配置されていること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 6 4 】

(付記 1 0)

付記 9 記載の X Y アドレス型固体撮像装置において、

前記ノイズキャンセル回路は、雑音除去後の前記画像データに対応する電荷を保持する相関二重サンプリング回路を前記垂直選択線毎に有していること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 6 5 】

(付記 1 1)

付記 5 乃至 1 0 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において

前記増幅用トランジスタと前記第 1 差動トランジスタとの間の配線距離に応じて変化するオフセット電圧を補正するオフセット補正用回路をさらに有していること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 6 6 】

【発明の効果】

以上の通り、本発明によれば、小さな素子サイズで広い開口率を有し、k T C 雑音を低減できる X Y アドレス型固体撮像装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態による CMOS イメージセンサ 1 の 4 × 4 画素分の回路例を示す図である。

【図 2】

本発明の一実施の形態による CMOS イメージセンサ 1 のサンプルホールド回路及び相関二重サンプリング回路の回路例を示す図である。

【図 3】

本発明の一実施の形態による CMOS イメージセンサ 1 の k T C 雑音低減回路の回路例を示す図である。

【図 4】

本発明の一実施の形態による CMOS イメージセンサ 1 のオフセット電圧補正回路の回路例を示す図である。

【図 5】

本発明の一実施の形態による CMOS イメージセンサ 1 の効果を示す図である。

【図 6】

CMOS イメージセンサを用いた従来の X Y アドレス型固体撮像装置を示す図である。

【図 7】

CMOS イメージセンサを用いた従来の XY アドレス型固体撮像装置の他の例を示す図である。

【図 8】

CMOS イメージセンサを用いた従来の XY アドレス型固体撮像装置のさらに他の例を示す図である。

【符号の説明】

- 1 CMOS イメージセンサ
- 4 垂直走査シフトレジスタ／リセット制御回路
- 6 アンプ／ノイズキャンセル回路
- 6CL1～6CL4、6CLn CDS 回路
- 6VR1～6VR4、6VRn kTC 雑音低減回路
- 8 水平走査シフトレジスタ
- 10、400 フォトダイオード
- 12、402 リセットトランジスタ
- 14、404 ソースフォロワアンプ
- 16、406 水平選択トランジスタ
- 20 列選択トランジスタ
- 30 信号共通出力線
- 48、54、412 アンプ
- 40、414 定電流電源
- 42 サンプルホールド用スイッチ
- 44 サンプルホールド用容量
- 46 基準電圧源
- 50 CDS 用容量
- 52 クランプスイッチ
- 62 第 1 差動トランジスタ
- 64、66 トランジスタ（カレントミラー回路用）
- 68、70、72 回路切替用トランジスタ

80 オフセット補正回路

82、84、86 オフセット補正用トランジスタ

88 オフセット補正用容量

CL1~CL4、CLn 垂直選択線

P11~P44、Pmn 画素領域

RST リセット信号

RST1~RST4、RSTm リセット信号線

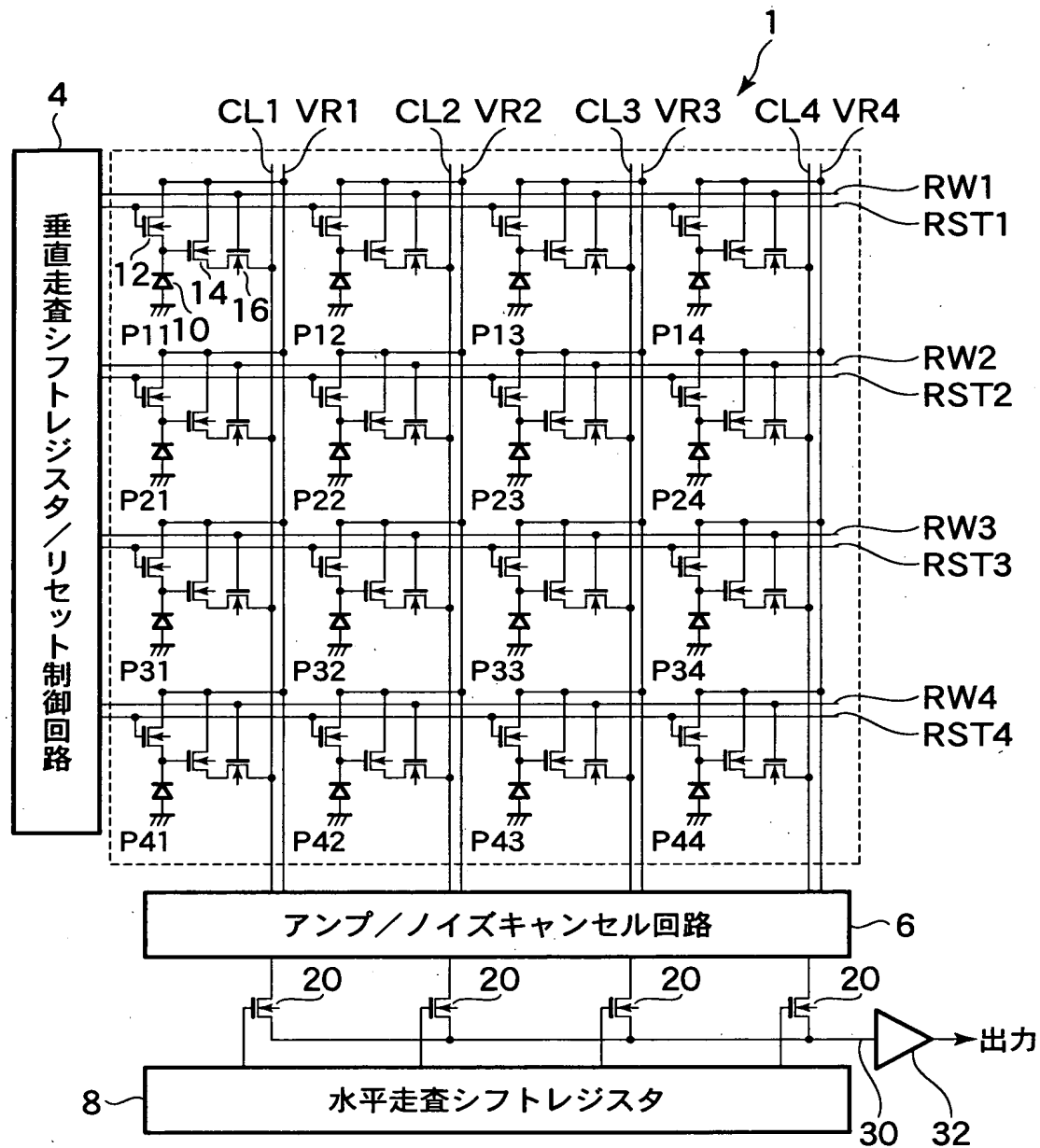
RW1~RW4、RWn 水平選択線

VR リセット電圧

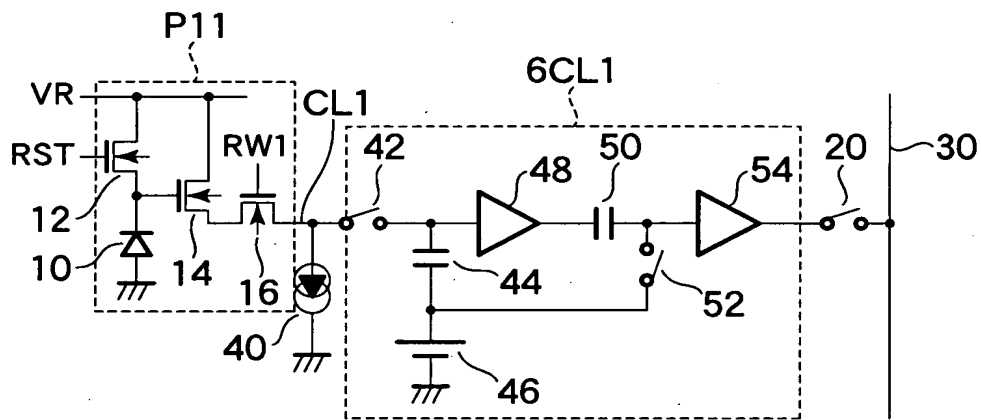
VR1~VR4、VRn リセット電圧供給線

【書類名】 図面

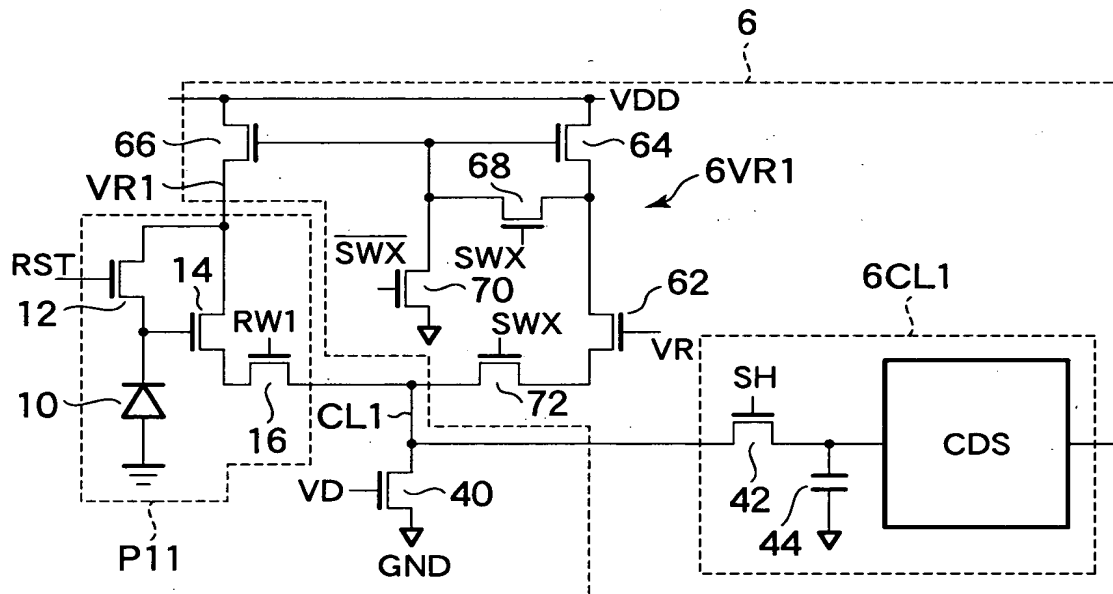
【図 1】



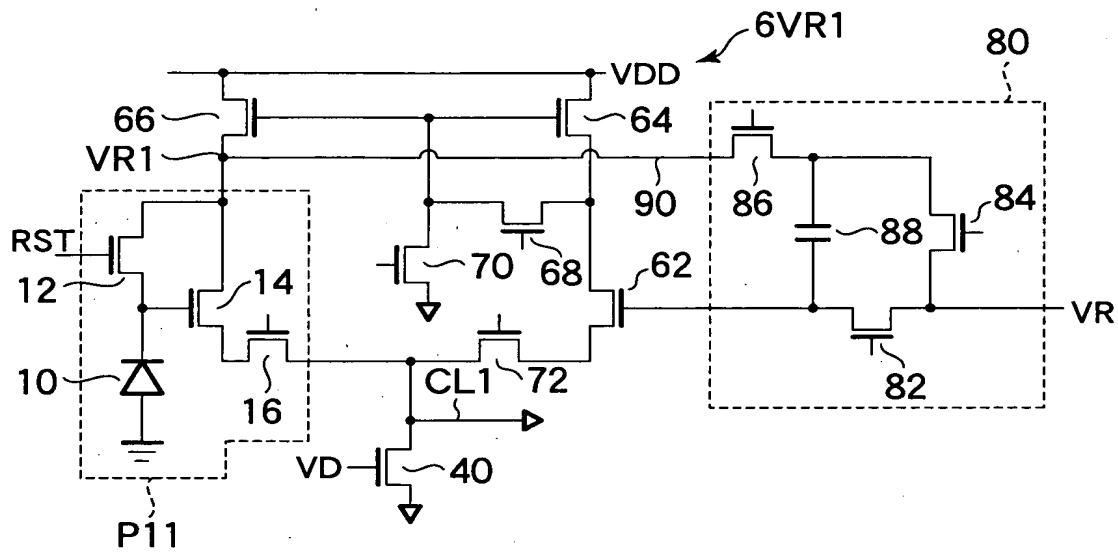
【図 2】



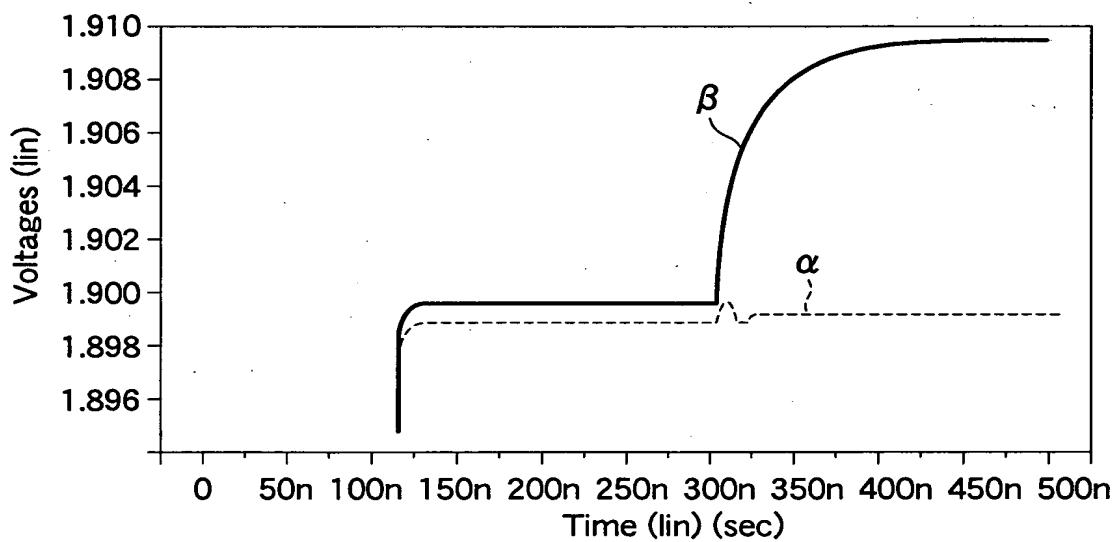
【図 3】



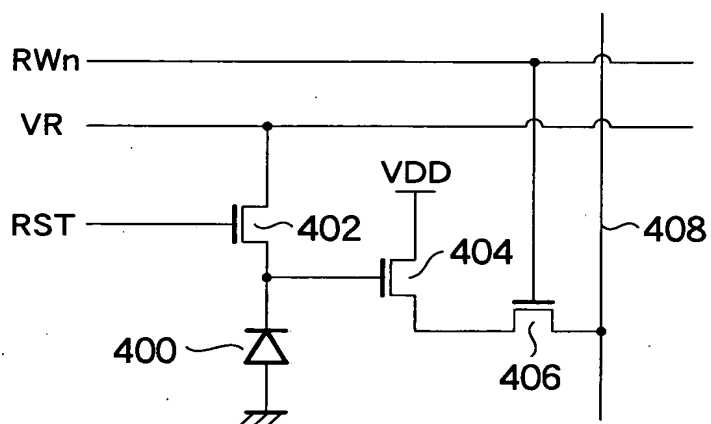
【図4】



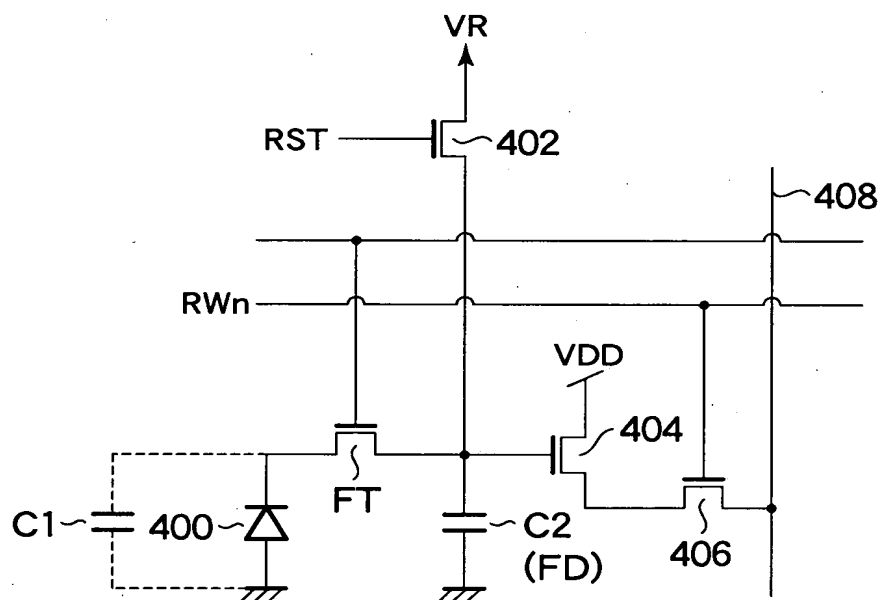
【図 5】



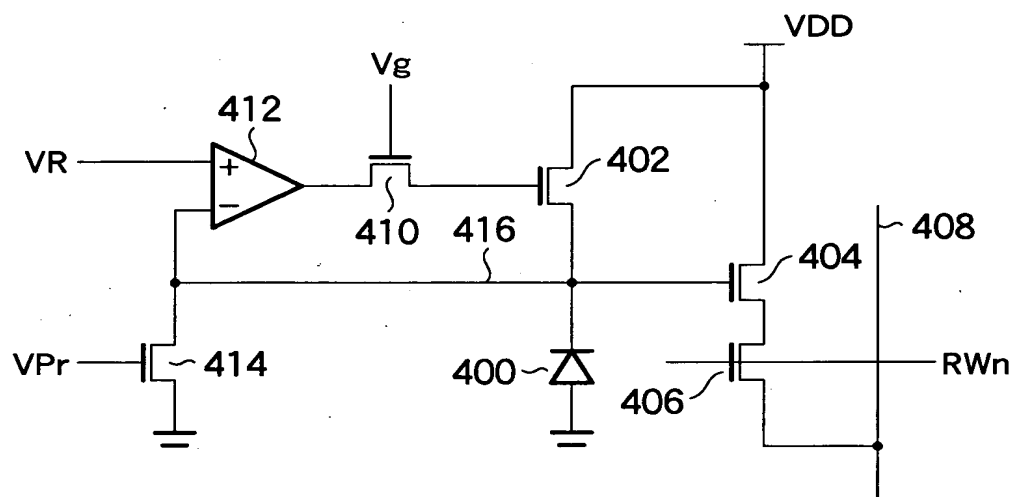
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】本発明は、CMOSプロセスで製造されるXYアドレス型固体撮像装置に関し、小さな素子サイズで広い開口率を有し、kTC雑音を低減できるXYアドレス型固体撮像装置を提供することを目的とする。

【解決手段】フォトダイオード10と、リセットトランジスタ12と、ソースフォロワンプ14と、水平選択トランジスタ16とが画素領域Pmn内に形成されている。画素領域Pmn外には、kTC雑音を低減させるためのkTC雑音低減回路6VR1とCDS回路6CL1とが形成されている。kTC雑音低減回路6VR1の第1差動トランジスタ62と各画素領域Pmn内のソースフォロワンプ14とで差動増幅器が構成される。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社